

disponibilité du document à:
<http://www.gel.ulaval.ca/~maldagx/gif10279/index.html>

MEMENTO D'UTILISATION XILINX

Ce petit texte vise à rendre plus facile l'utilisation du logiciel FOUNDATION de Xilinx qui est le logiciel de référence du cours de Circuits Logiques GIF-10279. Il est recommandé de d'abord suivre les instructions du livre LAB BOOK, les commentaires qui trouveront ensuite leur pleine signification.

On fournit aussi quelques exemples pratiques.

NOTE IMPORTANTE: Ne pas installer la version 1.3 fournie avec le livre (*Lab Book*), aller plutôt emprunter le CD_ROM de la version 1.4 au Service technique du Dépt. géo-gif.

Bonne Étude, Bon Succès!

X. Maldague (juin 1998)
révision du 16 novembre 2001

Lancer Xilinx Project Manager

File - New Project

Pour XS95 -famille XC9500 part 95108PC84 speed 20

Pour XS40 -famille XC4000XL part 4005XLPC84 speed 1 (ou 4010XL, voir ce qui est indiqué sur le kit)

Note le kit du cours emploie le 4005XLPC84 speed 1 (ou 4010XL)

PC84: signifie un package à 84 pins.

Choisir Schematic Editor ou HDL Editeur

a) Schematic Editeur - faire le dessin

Mode Symbol (ou icône symbole à gauche)

Connecter avec symbole de connexion

Déplacer, pointer en employant la FLECHE (souris)

Ajouter des buffers d'entrées IBUF *en plus* des pins d'entrées (IO terminal)

Ajouter des buffers de sorties OBUF *en plus* des pins de sorties (IO terminal)

Options -> Create Netlist (p. 40)

Options -> Integrity test (p. 41)

File Save

Options -> Export Netlist (Format EDIF 200)

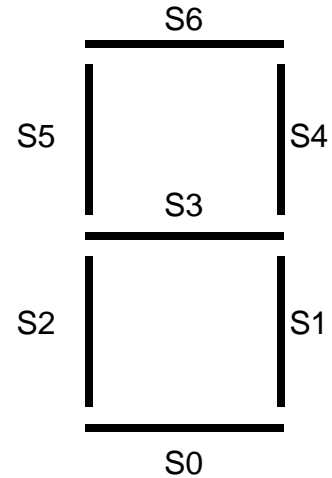
Spécification des pins d'entrées/sorties:

File Exit

AJOUT DES PINS DE SORTIE
double-cliquer sur les IBUF/OBUF:

Table 1: Assignations des Pins du Port Parallèle

J1 pin	XC4005XL Pin	XC95108 Pin	XS Port argument
2	44	46	B0
3	45	47	B1
4	46	48	B2
5	47	50	B3
6	48	51	B4
7	49	52	B5
8	32	81	B6
9	34	80	B7



Note: voir la **table 3** (plus bas) pour les i-o du board de GIF-10279.

ATTENTION: Board XS-45, voir remarque p. 94 pour l'utilisation des bits B6 et B7 qui servent à la configuration du FPGA, employer les symboles MD0 (=b6) et MD2 (=b7) dans le SCHEMATIC DESIGNER.

Table 2: Assignations des Segments de l'affichage

J1 pin	XC4005XL Pin	XC95108 Pin
S0	25	21
S1	26	23
S2	24	19
S3	20	17
S4	23	18

Table 2: Assignations des Segments de l'affichage

J1 pin	XC4005XL Pin	XC95108 Pin
S5	18	14
S6	19	15
S7	-	24

Note: voir la **table 3** (plus bas) pour les i-o du board de GIF-10279.

dans *Symbol Properties* remplir *Name*: LOC et *Description*: p46 (pour B0, Xs95)
click Add et ok (double-clic sur le symbol pour l'accès).
répéter pour chaque entrée et sortie

b) HDL Editeur (ABEL - Hardware Description Language)

Bouton *HDL Editor*

Use Wizard *ok* (prépare le travail!), cliquer *Next*, *ABEL*, donner un nom de fichier
Fenêtre avec Chip apparaît *NEW* pour spécifier nouvelle entrée/sortie
spécifier aussi le type combinatoire '**com**' ou de registre '**reg**'

Entrer le code ABEL ...

Synthesis -> Check Syntax

si erreur, les corriger :(

exemples en ligne *Tools -> Language Assistant* (très utile)

Synthesis -> Option et choisir *Chip*

Synthesis -> Synthesize après travail: fenêtre *synthesis successful OKq*

File -> Save (dans HDL Editeur)

File Exit (dans HDL Editeur)

Retour au Menu du Project Manager

Si dessin schématique:

Ajouter design au projet: Document -> Add (.sch)*

Si fichier obtenu avec éditeur HDL:

Ajouter le document au Projet (Project Manager): *Document -> Add*
(choisir la liste HDE (*.VHD, *.ABL))

Simulation du design

Bouton *SIM Funct*

Signal -> Add Signal ... Close

Signal -> Add Stimulators + assigner bit de BC au signaux dans fenêtre

Option -> Preference choisir vitesse horloge pour B0 (20 Mhz)

Option-> Step long 50 ns pour affichage convenable.

dans petite fenetre 'Simulator': Mode FN (Functional simulation)

+ Long (pour lancer)

On peut aussi assigner les touches du clavier QWERTY... aux signaux d'entrées ainsi, en tapant sur les touches, les signaux passeront de 1 à 0, etc.

Sauve simulation dans fichier .des

Imprimer les formes d'onde obtenues

Note on peut rajouter des 'test point' dans le schematic editeur ce qui fera que tous les signaux auront été prédéfinis et apparaîtront automatiquement sans devoir les ajouter: faire (dans Schematic Capture): **Mode -> Test points** cliquer sur le **Probe tool** (carreau le plus en haut à gauche de la *SC Probe window*) puis sur chaque terminal ou noeud.

- on peut aussi configurer un signal pour qu'il réponde à une touche du clavier
Signal -> Add Stimulators + assigner une touche du clavier

- on peut aussi configurer un signal pour qu'il soit HI ou LOW

Symbole HIGH/LOW dans Waveform Viewer

- on peut changer les **pas de la stimulation**, faire *Option -> Simulation step* (par exemple: *Long Step* : 10 ns).

Assignment des pins physiques (plutôt que de les spécifier dans le design)

On peut aussi assigner les pins physiques dans un fichier .UCF

Ouvrir nouveau (empty) fichier HDL et spécifier toutes les pins:

NET ma_variable LOC=p47; "ma_variable définie dans source ABL

NET ma_variable LOC=p46; "ou fichier schématique.

NET SORTIE<7> LOC=p27; "POUR LES bus, P. 128

Compilation du design logique

XACT step button

Design -> Implement

* XS45 bit stream prêt!

* XS95 Préparer le Bit stream pour download dans XS95:

tools -> JTAG Programmer

output -> Create SVF File (Mieux: sauver le fichier .SVF dans le répertoire supérieur du projet)

operation -> program

File -> Exit

(répondre NON à la sauvegarde proposée tout a été déjà sauvé).

Download du code dans le board XS95 ou XS45

Avec programme: XSLOAD.EXE (fenêtre DOS)

* XS45 taper XSLOAD Fichier.BIT

* XS95 taper XSLOAD Fichier.SVF

(on peut avec version 1.5 et plus y aller directement, voir paragraphe plus bas: **Download des fichiers .bit facile!**)

Test du design avec le port parallèle

Le port parallèle sert d'entrée (voir Table 1) avec le programme
XSPORT B7 B6 B5 B4 B3 B2 B1 B0

(la sortie se fait avec l'afficheur à 7 segments - Table 2)

- Si on lui donne moins de 8 bits, il force les bits les +significatifs a zero
- Si on lui donne plus de 8 bits, il garde les bits les 8 bits les -significatifs

- sur **Windows NT**, il faut employer les versions de logiciels disponibles sur le site
ftp de XESS: <http://www.xess.com/FPGA/> (et aller dans la section 'download'):

copier: *XS Tools for NT Setup* et aussi: *Parallel Port Driver for NT*.

Parallel Port Driver for NT installe les drivers spéciaux pour le port parallèle

et *XS Tools for NT Setup* contient les fichiers d'accès aux boards:

XSLOAD.EXE et XSPORT.EXE

(on peut avec version 1.5 et plus y aller directement, voir paragraphe plus bas: **Download des fichiers .bit facile!**)

Autres info:

* on peut importer du code en HDL (ABEL) dans le schematic designer (p. 94)
Par exemple faire des modules en ABEL (macro) et les cascader dans
le Schematic designer plus tard (p. 94).

* procédure de connexion speciale pour B6 + B7 -> page 95

Macro dans schematic editor

Une fois le design dessiné, faire (p. 99)

Hierarchy -> Create Macro Symbol from Current Sheet

Le nom qu'on lui donnera apparaîtra dans la liste des SC symbols.

Macro dans HDL editor

Sauver en macro (exemple p. 90)

Exemples:

Note importante:

Les Exemples du livre *The Practical Xilinx Designer Lab Book*

sont fournis sur le CD-ROM, répertoire **\Xse\Xcproj**

CD-ROM: *Design Implementation Tools*

On ouvre le fichier 'nom.pdf' dans le repertoire principal.

On conseille de copier le repertoire du projet + le fichier .pdf correspondant sur
le disque dur avant l'ouverture.

Attention: il faudra changer l'attribut du fichier .pdf (enlever Read Only)

(clicker souris bouton de droite et aller à *Properties*)

mode strike-through: non disponible

~~xess.bat~~ (batch file pour aboutir au repertoire des utilités de download)

Les fichiers suivants sont disponibles sur le site WWW de GIF-10279

- 1- ~~DisqueG/ProgramFiles/Active/Projects/Xav_CI_1~~ (board XS95)
4 portes simples NON, ET, OU, XOR
2entrées B0 et B1, 4 sorties sur les segments S1,S2,S3,S4 de l'afficheur.
fichier **Xav_CI_1.bit**
- 2- ~~DisqueG/ProgramFiles/Active/Projects/Demiplus~~ (board XS45)
Additionneur complet (full adder)
3 entrées B0, B1, B2 (=Carry in), 2 sorties sur les segments S5(Somme),S6 (Carry out) de l'afficheur.
fichier **demiplus.bit**
- 3- ~~DisqueG/ProgramFiles/Active/Projects/Xa_Flip2~~ (board XS45)
Petit compteur 2 bits
1 entrées B0 (=clock), 2 sorties sur les segments S0,S1
fichier **xa_flip2.bit**
- 4- Usage sur **Board Circuits Logiques**
~~DisqueG/ProgramFiles/Active/Projects/Xa_I_O~~ (board XS45)
Sorties=Entrées
8 entrées, 8 sorties sur les segments/Leds, S0=E0, ... S7=E7
fichier **xa_i_o.bit**

Table 3: Signaux d'IO sur Board Circuits Logiques

Sorties	pins	Entrées	pins
S0	25	E0	6
S1	26	E1	7
S2	24	E2	8
S3	20	E3	9
S4	23	E4	14
S5	18	E5	28
S6	19	E6	29
S7	27	E7	67

- 5- Usage sur **Board Circuits Logiques**
~~DisqueG/ProgramFiles/Active/Projects/Xa_Count~~ (board XS45)

Compteur 8 Bits avec clear (pin 7), clock (pin 6).
8 sorties sur les segments/Leds.
fichier **xa_count.bit**

- 6- Usage sur **Board Circuits Logiques**
DisqueG/ProgramFiles/Active/Projects/porte_ou (board XS45)
Porte OU à deux entrées (E0 - pin 6 et E1 - pin 7) et 1 sortie (S0 pin 25) .
Entrées via les interrupteurs, sorties via les leds (si câbles plats en place)
Utile pour le Lab_0
fichier **porte_ou.bit** et **porte_o1.sch** (fichier du *Schematic designer*, voir note plus bas pour son utilisation).

Notes sur le KIT de GIF-10279

Table 4: Pins au connecteur du 'vieux board'

No des pins	Fonction
36	Horloge à 1 Hz
47 à 54	entrées des interrupteurs 'rouges' (niveaux logiques 1 ou 0 PAS anti-rebond)
18 à 27	10 LEDs
39 (38)	interrupteur momentané S1 anti-rebond (et signal inverse)
41 (40)	interrupteur momentané S2 anti-rebond (et signal inverse)

Erreurs Fréquentes de Design !

- Ne pas oublier de spécifier les numéros des pins physiques en entrées et en sortie!
- Bien spécifier des noms différents pour chaque entrée (ou sortie), par défaut, le système (en mode *Schematic designer*) répète toujours les mêmes noms.

Incorporation d'un fichier .sch

- Pour inclure un fichier *projet_a.sch* (créé avec le *Schematic designer*), une façon de faire consiste à se créer un nouveau projet qu'on appellera *projet_a* puis à copier dans le répertoire *projet_a* qui aura été créé par *Foundation*, le fichier *projet_a.sch* en changeant le 8^e caractère par 1, donc *projet_1.sch* pour notre exemple...

Injecter des '1' ou '0' logiques

- On peut mettre des '1' logique (symbole VCC = + 5 Volt) ou des '0' logique (symbole GND = Ground = 0 Volt) en allant dans SCHEMATIC DESIGNER, dans le menu symbole SC symbols, 'cliquer' sur le 2e bouton a droite, on peut y choisir VCC ou GND.

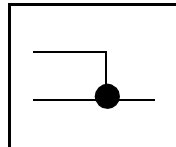
Petits trucs

- Lors des simulations, placer la fenêtre avec vos sorties sur la gauche et la fenêtre de simulation à droite. Vous verrez ainsi l'état des sorties changer au fur et à mesure que la simulation progresse.
- Lors des designs 'séquentiels,' on recommande les valeurs suivantes pour les simulations:
 - *Simulation step*: 15 ns 200 ns
 - *Preference* (cliquer sur la petite main): 50 ns, 20 MHz, 10 ps
 - Dans le *waveform viewer*, spécifier 50 ns: ||||| 50 ns/ div | | | | |

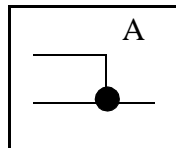
En cliquant dans le timing diagram (les courbes affichées), un curseur vertical apparaît (ligne bleue) ce qui permet de vérifier l'état du circuit à cet instant précis y compris l'état des sorties dans le schéma.

- Lorsque les schémas deviennent plus compliqués, il est avantageux de ne plus dessiner certains fils, mais plutôt de leur donner un nom. Ainsi, deux 'bouts de fils' ayant un même nom sont en fait reliés entre eux. Pour procéder ainsi, il faut:

1. tracer un bout de fil avec 'Draw Wires' schéma:



2. Clic sur le bouton de droite de la souris pour 'libérer le curseur'
3. Clic sur:



et donner un nom.

Important, ne pas donner un nom qui est déjà employé (pour une sortie ou une entrée d'une pin par exemple).

- Pour la simulation, toujours avoir le 'short step' égal à la période d'horloge, par exemple 15 ns.

Download des fichiers *.bit* facile!

- Avec la version 1.5, un petit utilitaire très pratique: *gsetup2.exe* est maintenant disponible sur le site de XESS: <http://www.xess.com/FPGA/>
Allez au menu download pour le télécharger (si pas déjà installé, ne pas oublier d'installer aussi le driver de port parallèle disponible au même endroit: *port95nt.exe*). Ces utilitaires sont installés sur les machines du PLT-2370 et du PLT-00103.
Utilisation: simplement 'dragger' le fichier *.bit* à charger dans le board et le chargement se fait tout seul!

Note: l'utilitaire *gxsport.exe* aussi disponible (installé en même temps que *gsetup2.exe*) permet de stimuler le port parallèle de façon facile.

Mettre un fil à "1" ou à "0"

- Une fois la fenêtre des "Symbol toolbox" ouverte, simplement y écrire VCC (pour "1") et GND (pour "0"), en bas où le curseur clignote. Par la suite, déplacer le curseur dans la fenêtre de travail et "coller" le symbole désiré que l'on raccordera avec un 'fil' par la suite.